

```

//system.bit。
//该 bitstream 文件可以使用 Vivado 软件的 Hardware Manager 功能将 system.bit
//烧录至 FPGA 中

//熟悉 Vivado 和 Xilinx FPGA 使用方式的用户应该知道,在将 bitstream 文件烧录到 FPGA
//中后, FPGA 不能掉电,因为一旦掉电,烧录至 FPGA 的内容会丢失,需要重新利用 Vivado
//的 Hardware Manager 功能进行烧录方能使用。
//为了方便用户使用,DDR200T 开发板可以将需要烧录的内容写入开发板的 FPGA_Flash 中,
//然后在每次 FPGA 上电之后通过硬件电路自动将需要烧录的内容从外部的 Flash 中读出并
//烧录到 FPGA 中(该过程的速度比较快,不影响用户使用)。Flash 是非易失的存储器,
//具有掉电后仍可保存内容的特性。这意味着将需要烧录的内容写入 Flash 后,每次掉电后无须
//使用 Hardware Manager 功能重新烧录(而是由硬件电路快速自动完成),等效 FPGA
//上电即可使用。
//关于此特性的原理,本书不做赘述,读者可自行参阅 Xilinx FPGA 应用手册

//为了将烧录至 FPGA 的内容写入 Flash,需要生成 MCS 文件,使用如下命令
make mcs FPGA_NAME=ddr200t
//运行该命令将调用 Vivado 软件对 Verilog RTL 进行编译以生成 MCS 文件。
//生成的 MCS 文件的路径为<your_e203_dir>/fpga/ddr200t/obj/system.mcs。
//该 MCS 文件可以使用 Vivado 软件的 Hardware Manager 功能将 system.mcs 烧录至
//DDR200T 开发板的 FPGA_Flash 中

```

对于如何使用 Vivado 的 Hardware Manager 功能将 MCS 文件烧录至 Nuclei DDR200T 开发板的 FPGA\_Flash 中,参考如下步骤。

```

//前提步骤 1: 将 DDR200T 开发板的“FPGA JTAG”接口通过 USB 连接线与计算机的 USB 接口连接
//DDR200T 开发板中的“FPGA JTAG”接口的位置见图 9-4

```

```

//前提步骤 2: 将 DDR200T 开发板的“DC 12V 电源输入接口”通过配套稳压源与电源插座连接,并
//将“电源开关”拨至“ON”档位,对开发板进行供电。DDR200T 开发板的“DC 12V 电源输入接口”
//和“电源开关”的位置见图 9-4

```

```

//步骤 1: 打开 Vivado 软件

```

```

//步骤 2: 打开 Hardware Manager,如图 9-5 所示,然后在图 9-6 所示的界面中单击“Auto
//Connect”图标按钮,自动连接 DDR200T 开发板

```

```

//步骤 3: 右键单击 FPGA Device,选择“Add Configuration Memory Device...”,如图 9-7
//所示

```

```

//步骤 4: 选择具有如下参数的 Flash,如图 9-8 所示

```

```

Part n25q128-3.3v
Manufacturer Micron
Family n25q
Type spi
Density 128
Width x1 x2 x4

```

```

//步骤 5: 在弹出的“Do you want to program the configuration memory device now?”
//对话框中,单击“OK”按钮

```