

- 2) 每个通道直接连接专用的硬件 DMA 请求，并且都支持软件触发，可通过软件配置。
- 3) DMA 支持单向的从源端到目的端的数据传输，各通道的优先权可以通过硬件和软件编程实现，如果优先权相等则由硬件决定（请求 0 优先于请求 1，以此类推）。
- 4) 数据传输时内存和外设指针自动增加，传输数据大小可编程。
- 5) 循环模式/非循环模式。
- 6) 每个通道都有 3 个事件标志（DMA 半传输、DMA 传输完成和 DMA 传输出错），这 3 个事件标志逻辑或为一个单独的中断请求。
- 7) 总线错误自动管理。
- 8) 可编程的数据传输数目最大为 65536。

DMA 是 AHB 总线上的设备，它有 2 个 AHB 端口：一个是从端口，用于配置 DMA；另一个是主端口，用于设备间数据传输。2 个 AHB/APB 桥（桥 1 和桥 2）在 AHB 总线和 2 个 APB 总线间提供同步连接。APB1 操作速度限于 36MHz，APB2 操作速度限于 72MHz，STM32F103RBT6 的 DMA 结构框图如图 8-1 所示。

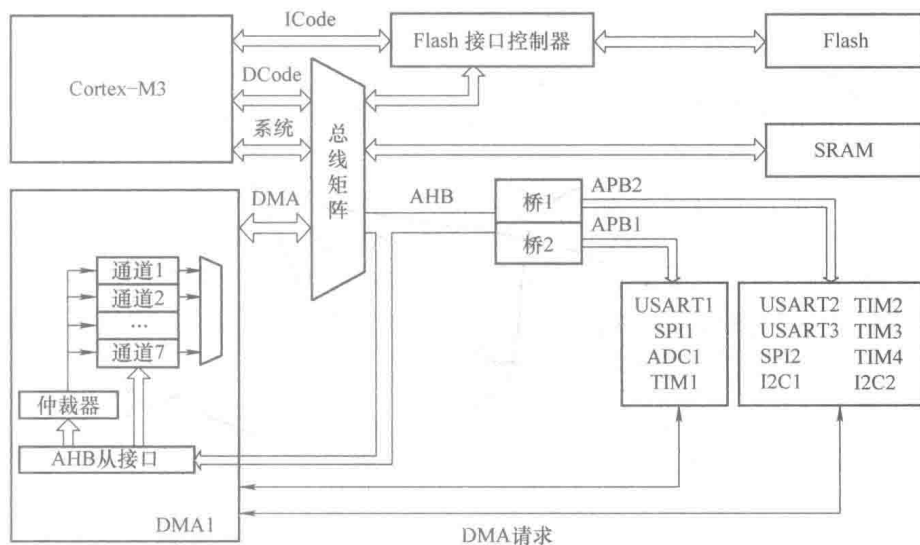


图 8-1 STM32F103RBT6 的 DMA 结构框图

STM32 的 Cortex - M3 核心和 DMA 控制器通过总线矩阵连接到 Flash 控制总线、SRAM 总线和 AHB 总线，进而通过 AHB 总线连接到 APB 总线服务外设。

总线矩阵有 2 个主要特征：循环优先调度、多层结构和总线挪用。

### 1. 循环优先调度

NVIC 和 Cortex - M3 处理器实现了高性能、低延时中断调度。所有的 Cortex - M3 指令既可以在单周期内执行，也可以在总线周期上被中断。循环优先级调度能够确保 CPU 在必要的时候每两个总线周期就去访问其他总线。

### 2. 多层结构和总线挪用

多层结构允许两个主要设备并行执行数据传输。使用总线挪用存取机制，CPU 访问和 DMA 通过 APB 总线存取外设可以并行工作。DMA 总线挪用机制使得总线利用效率更高，减少了软件执行时间。在 Cortex - M3 哈佛架构下提高数据的并行性，减少执行时间，优化